

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 09 月 18 日  
Application Date

申請案號：092125815  
Application No.

申請人：財團法人工業技術研究院  
Applicant(s)

局長

Director General

蔡練生

發文日期：西元 2003 年 11 月 24 日  
Issue Date

發文字號：09221189740  
Serial No.

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92125815

※ 申請日期： 92. 9. 18 ※IPC 分類：

壹、發明名稱：(中文/英文)

薄膜電晶體元件主動層之半導體材料與其製作方法

Method and Material for forming active layer of thin film Transistor

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

Industrial Technology Research Institute

代表人：(中文/英文) 翁政義 / Cheng-I Weng

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段一九五號

No. 195, Sec. 4, Chung Hsing Rd., Chutung, Hsinchu

國 籍：(中文/英文) 中華民國 / R.O.C.

參、發明人：(共 6 人)

姓 名：(中文/英文)

ID :

1. 何家充 / Jia-Chong Ho

ID : F121701900

2. 李仁豪 / Jen-Hao Lee

ID : B121708834

3. 李正中 / Cheng-Chung Lee

ID : V120217439

4. 王右武 / Yu-Wu Wang

ID : M121392513

5. 李鈞道 / Chun-Tao Lee

ID : F122245223

6. 林鵬 / Pzng Lin

ID : F102747422

住居所地址：(中文/英文)

1. 台北縣鶯歌鎮信義街 38 號

No. 38, Hsin-Yi St., Yingko Jeng, Taipei Hsien

2. 台中市西區公館路 104 號

No. 104, Kungkuan Rd., West Area, Taichung

3. 台東市開封街 592 巷 100 號

No. 100, Lane 592, Kaifeng St., Taitung

4. 新竹縣竹北市縣政 8 街 62 號 2 樓

2F., No. 62, Hsien-Cheng 8 St., Chu Pei City, Hsinchu Hsien

5. 新竹市滿雅街 187 巷 66-1 號 2 樓

2F., No. 66-1, Lane 187, Nan-Ya St., Hsinchu

6. 新竹市寶山路 452 巷 9 弄 11 號

No. 11, Alley 9, Lane 452, Bao-Shan Rd., Hsinchu

國 籍：(中文/英文) 1.2.3.4.5.6. 中華民國 / R.O.C.

#### 肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 無

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

## 伍、中文發明摘要：

本發明係有關於一種應用於製作一薄膜電晶體元件主動層之化合物半導體材料，其係由一摻雜一摻雜物之 II-VI 族化合物組成，其中該摻雜物係選自一由鹼土金屬 (alkaline-earth metal)、III A 元素、IV A 元素、V A 元素、VI A 元素、與過渡金屬 (Transitional Metal) 組成之群組，該摻雜物在該材料中所佔之莫耳百分比為 0.1% 至 30% 之間。一利用本發明之化合物半導體材料所製作之薄膜電晶體元件亦一併揭示。

## 陸、英文發明摘要：

A compound semiconductor material adapted to forming the active layer of thin film transistor is disclosed, which contains a compound of elements of group II-VI of periodic table and trace amount of dopant; wherein the dopant is selected from a group consisting of alkaline-earth metal, group IIIA element, group IVA element, group VA element, group VIA element, and transitional metal. The mole percentage of the dopant in compound semiconductor material is between 0.1 % to 30 %. The thin film transistor device includes the compound semiconductor material is also disclosed.

**柒、指定代表圖：**

(一)本案指定代表圖為：圖（6B）。

(二)本代表圖之元件代表符號簡單說明：

該圖為一電性關係圖故無元件代表符號

**捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

無

## 玖、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種化合物半導體材料，尤指一種適用於主動式平面顯示技術中薄膜電晶體主動層之化合物半導體材料。

### 【先前技術】

近來主動式平面顯示技術(Active Matrix Flat Panel Display)為一熱門研發主題，其中薄膜電晶體為其研發的重點。此外平面顯示器已朝向大尺寸、低價格、以及高解析度發展。目前薄膜電晶體主要分為非晶矽薄膜電晶體(Amorphous Silicon TFTs)與低溫多晶矽薄膜電晶體(Low Temperature Polycrystalline Silicon TFTs)，其製程需要真空蒸鍍與黃光製程，因此製作成本高。近來文獻中利用溶液製程製作Ⅱ-VI族半導體化合物薄膜電晶體，此製程方法設備極為簡單、成本低、且製程快速。

但以溶膠-凝膠製程製作 ZnO 電晶體為例，雖然製程簡單，且使用的材料毒性低，但是電晶體之元件特性不佳，其中電流開關比(current on/off ratio)為  $10^3$ ，如圖 1 所示。另外亦有研究 CdSe 與 CdS 等Ⅱ-VI族化合物以化學浴沈積(Chemical Bath Deposition, CBD)製程製備電晶體；其中 CdSe 電晶體的遷移率(mobility)可達  $15\text{cm}^2/\text{Vs}$ 、電流開關比為  $10^7$ ，臨界電壓為 3.5V，如圖 2 所示；CdS 電晶體的遷移率(mobility)可達  $1\text{cm}^2/\text{Vs}$ 、電流開關比為  $10^6$ ，臨界電

壓為 2.6V，如圖 3 所示，其雖有良好的電性，但是 CdSe 與 CdS 的前驅物(pre-cursor)為重金屬具有劇毒，在量產的安全考量與環保問題下，量產的可行性甚低。

5 在習知技藝中，ZnO 摻雜其他物質之應用主要是在螢光技術上。仍未有利用此項技術應用在薄膜電晶體之主動層。發明人爰因於此，本於積極發明之精神，亟思一種可以解決上述問題之「薄膜電晶體元件主動層之半導體材料與其製作方法」，幾經研究實驗終至完成此項嘉惠世人之發明。

10

#### 【發明內容】

本發明之主要目的係在提供一種化合物半導體材料，俾能使主動式平面顯示器內具有耐高壓操作、較佳元件特性之薄膜電晶體。此外，其係利用溶液製程，故不需  
15 要真空蒸鍍，可容易達到大面積化並降低製造成本，且無毒性物質產生。

本發明之另一目的係在提供一種製作薄膜電晶體元件主動層方法，俾能容易地達到主動式平面顯示器之大面積化並降低製造成本，且無毒性物質產生，利於薄膜電晶  
20 體元件之製造。

為達成上述目的，本發明之一種應用於製作一薄膜電晶體元件主動層之化合物半導體材料，其係由一摻雜一摻雜物之 II-VI 族化合物組成，其中該摻雜物係選自一由鹼土金屬(alkaline-earth metal)、III A 元素、IV A 元素、V A 元素、



VI A元素、與過渡金屬(Transitional Metal)組成之群組，該  
摻雜物在該材料中所佔之莫耳百分比為0.1%至30%之間。

為達成上述目的，本發明之一種製作薄膜電晶體元件  
主動層方法，其步驟包括提供一化合物半導體材料之前驅  
5 物溶液；將該前驅物溶液圖樣化於一薄膜電晶體元件，以  
形成一主動層；以及加熱該薄膜電晶體元件主動層之該前  
驅物溶液，以使該溶液中之溶劑揮發，生成一摻雜一摻雜  
物之II-VI族化合物組成；其中該摻雜物係選自一由鹼土金  
屬(alkaline-earth metal)、III A元素、IV A元素、V A元素、  
10 VI A元素、與過渡金屬(Transitional Metal)組成之群組，且  
該摻雜物在該化合物半導體材料中所佔之莫耳百分比為  
0.1%至30%之間。

#### 【實施方式】

15 本發明之化合物半導體材料，係以一溶液製程配置前  
驅物，並應用於製作一薄膜電晶體元件之主動層，其包括  
一II-VI族化合物摻雜一鹼土金屬(alkaline-earth metal)、III  
A元素、IV A元素、V A元素、VI A元素、或過渡金屬  
(Transitional Metal)；其中該II-VI族化合物係為ZnO、  
20 ZnS、ZnSe、CdSe、CdS、HgS、MnS、SnS、PbS、CoS、  
NiS、或CdTe；該鹼土金屬係為Mg、Ca、Sr、或Ba；該過  
渡金屬係為Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zn、  
Y、Zr、Nb、Mo、Tc、Ru、Rh、Pd、Ag、Cd、La、Hf、  
Ta、W、Re、Os、Ir、Pt、或Au；該III A元素係為B、Al、

Ga、In、或Tl；該IV A元素係為Si、Ge、Sn、或Pb；該V A元素係為N、P、As、Sb、或Bi；該VI A元素係為S、Se、Te、或Po。

在本發明中化合物半導體材料配置之前驅物使用溶液  
5 製程，可為化學浴沈積法(Chemical Bath Deposition)、光  
化學沈積法(Photochemical Deposition)、或溶膠-凝膠法  
(Sol-gel process)；其後再利用噴墨印刷法(Inkjet  
Printing)、奈米壓印法(Nanoimprinting)、微接觸印刷法  
(Micro Contact Printing)、或旋轉塗佈-黃光微影法圖樣化  
10 薄膜電晶體元件之主動層。該薄膜電晶體元件之結構並無  
限制，其包括一閘極、一源極、一汲極、一介電層、以及  
一基板，並可為底閘極(bottom gate)結構、頂閘極(top gate)  
結構或側閘極(side gate)結構。薄膜電晶體元件之閘極、源  
極、或汲極之材料較佳為選自於金屬、導電氧化物或導電  
15 高分子；而介電層之介電常數大於3，其材料較佳為選自於  
無機材料、高分子材料、或高介電常數(high K)材料；基板  
為矽晶圓、玻璃、石英、塑膠基板、或可撓式基板。

本發明提供一種新的化合物半導體材料，且利用溶液  
製程技術備製薄膜電晶體，使具有耐高壓操作與較佳元件  
20 特性。此外，由於其不需要真空蒸鍍，可使主動式平面顯  
示器適合做大面積基板並降低製造成本。且由於溶液製程  
中之前驅物不具毒性物質，對於操作環境與環保問題並無  
疑慮。

為能讓貴審查委員能更瞭解本發明之技術內容，特舉二較佳具體實施例說明如下。

#### 實施例1：溶液製程步驟

5           在溶液製程中，只要是氧化物且為II-VI族化合物（如ZnO）幾乎均可以使用2-甲氧基乙醇或者是其他醇類做為溶劑。所使用之溶劑，是依據溶質在溶劑中之溶解度、薄膜之成膜性、溶劑是否容易移除、對晶體(grain)成長是否有利做為選擇。

10           本實施例為以ZnO摻雜Mg形成化合物半導體材料。首先為將溶劑2-甲氧基乙醇(2-Methoxy-ethanol)100毫升與一乙醇胺(Monoethanol amine, MEA)4.58克混合，再將溶質醋酸鋅(Zinc Acetate)0.06莫耳與氯化鎂MgCl<sub>2</sub>0.015莫耳溶解於此溶劑中，並且在60°C攪拌30分鐘，配置成  
15 Zn(0.8)Mg(0.2)O的前驅物溶液。接著以噴墨印刷法將前驅物溶液塗佈於電晶體的通道中，最後以高溫爐在500°C退火2小時。由圖4的SEM照片得到之ZnO摻雜Mg其結晶顆粒大小約為20nm。

#### 20 實施例2：薄膜電晶體製作流程

          本實施例為以本發明之化合物半導體材料製作底閘極(bottom gate)薄膜電晶體之流程，如圖5A~5D所示。在圖5A中，提供一玻璃基板5，並在其上濺鍍一第一電極層作為閘極電極1，此層可為銻錫氧化物、Cr、Al、Mo、Au、Pt、  
25 Ag等導體，隨後利用黃光製程與蝕刻製程定義閘極之圖

樣。在圖 5B 中，沈積一絕緣層 2 於具圖樣之閘極電極 1 上方，該絕緣層 2 可為氧化矽 ( $\text{SiO}_x$ )、氮化矽 ( $\text{SiN}_x$ )、或 PZT，該沈積之方式無限定，其可為物理氣相沈積或化學氣相沈積。在圖 5C 中，利用濺鍍方式形成一第二電極層 3，該電極層可為銻錫氧化物、Cr、Al、Mo、Au、Pt、Ag 等金屬，並利用黃光製程與蝕刻製程圖樣化該第二金屬層 3，以作為源極與汲極之電極。最後於圖 5D 中，利用溶液製程，如化學浴沈積法、光化學沈積法、或溶膠-凝膠法，製作薄膜電體之主動層 4 材料之前驅物溶液，該溶液利用噴墨印刷法 (Inkjet Printing)、奈米壓印法 (Nanoimprinting)、微接觸印刷法 (Micro Contact Printing)、或旋轉塗佈-黃光微影法形成圖樣化之主動層 4，在經過加熱後，主動層 4 中具有一鹼土金屬 (alkaline-earth metal)、III A 元素、IV A 元素、V A 元素、VI A 元素、或過渡金屬 (Transitional Metal) 摻雜於 II - VI 族化合物。

圖 6A 與 6B 所示分別為  $\text{ZnO}$  與  $\text{Zn(0.8)Mg(0.2)O}$  之汲極電壓 ( $V_d$ ) 與電流 ( $I_d$ ) 關係圖。 $\text{ZnO}$  在未摻雜時， $I_d$  對  $V_d$  圖之特性曲線趨近於線性，表示材料特性類似於電阻；而當閘極電壓為 -100V 時，汲極電壓為 100V 下，漏電流  $I_d$  大約為  $10^{-6}\text{A}$ 。當  $\text{ZnO}$  摻雜 20% 鹼土金屬 Mg 之薄膜電晶體， $I_d$  對  $V_d$  圖之特性曲線趨近於半導體特性，且在閘極電壓為 -100V 汲極電壓為 100V 下，漏電流  $I_d$  大約為  $10^{-11}\text{A}$ 。 $\text{Zn(0.8)Mg(0.2)O}$  之電流開關比為  $10^4$ 、遷移率為  $5 \times$

$10^{-4}\text{cm}^2/\text{Vs}$ 。由實驗結果得知，ZnO摻雜Mg可降低元件關閉電流，由 $4\mu\text{A}$ 降至 $20\text{pA}$ 。

ZnO除摻雜Mg之外，摻雜Al與Zr亦可提升薄膜電晶體之元件特性；其中ZnO摻雜Zr時，元件關閉電流降低至 $1\text{pA}$ ，如圖7所示；ZnO摻雜Al時，元件開電流(on current)增加，從 $25\mu\text{A}$ 增加至 $60\mu\text{A}$ ，如圖8所示。

上述實施例僅係為了方便說明而舉例而已，本發明所主張之權利範圍自應以申請專利範圍所述為準，而非僅限於上述實施例。

10

#### 【圖式簡單說明】

圖1係習知之ZnO電晶體開極電壓與汲極電流關係圖。

圖2係習知之CdSe電晶體開極電壓與汲極電流關係圖。

圖3係習知之CdS電晶體開極電壓與汲極電流關係圖。

15 圖4係本發明化合物半導體材料—ZnO摻雜Mg之較佳實施例之SEM照片。

圖5A~5D係本發明一較佳實施例之薄膜電晶體製作流程圖。

20 圖6A係習知之ZnO電晶體之汲極電壓( $V_d$ )與電流( $I_d$ )關係圖。

圖6B係本發明一較佳實施例 $\text{Zn}_{0.8}\text{Mg}_{0.2}\text{O}$ 電晶體之汲極電壓( $V_d$ )與電流( $I_d$ )關係圖。

圖7係本發明一較佳實施例之ZnO摻雜Zr電晶體之汲極電壓( $V_d$ )與電流( $I_d$ )關係圖。

圖8係本發明一較佳實施例之ZnO摻雜Al電晶體之汲極電壓(Vd)與電流(Id)關係圖。。

5 【圖號說明】

- |   |      |   |      |   |       |
|---|------|---|------|---|-------|
| 1 | 閘極電極 | 2 | 絕緣層  | 3 | 第二金屬層 |
| 4 | 主動層  | 5 | 玻璃基板 |   |       |

## 拾、申請專利範圍：

1. 一種應用於製作一薄膜電晶體元件主動層之化合物半導體材料，其係由一摻雜一摻雜物之II-VI族化合物組成，其中該摻雜物係選自一由鹼土金屬(alkaline-earth metal)、III A元素、IV A元素、V A元素、VI A元素、與過渡金屬(Transitional Metal)組成之群組，該摻雜物在該材料中所佔之莫耳百分比為0.1%至30%之間。

2. 如申請專利範圍第1項所述之化合物半導體材料，其中該II-VI族化合物為ZnO、ZnS、ZnSe、CdSe、CdS、HgS、MnS、SnS、PbS、CoS、NiS、或CdTe。

3. 如申請專利範圍第1項所述之化合物半導體材料，其中該鹼土金屬為Mg、Ca、Sr、或Ba；該過渡金屬為Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zn、Y、Zr、Nb、Mo、Tc、Ru、Rh、Pd、Ag、Cd、La、Hf、Ta、W、Re、Os、Ir、Pt、與Au；該III A元素為B、Al、Ga、In、與Tl；該IV A元素為Si、Ge、Sn、或Pb；該V A元素為N、P、As、Sb、或Bi；且該VI A元素為S、Se、Te、或Po。

4. 如申請專利範圍第1項所述之化合物半導體材料，其中該化合物半導體材料係以溶液製程配製該材料之前驅物，該溶液製程為化學浴沈積法(Chemical Bath Deposition)、光化學沈積法(Photochemical Deposition)、或溶膠-凝膠法(Sol-gel process)。

5. 如申請專利範圍第1項所述之化合物半導體材料，其中該薄膜電晶體元件之主動層之圖樣化係利用噴墨印刷

法(Inkjet Printing)、奈米壓印法(Nanoimprinting)、微接觸印刷法(Micro Contact Prining)、或旋轉塗佈-黃光微影法形成。

5 6. 如申請專利範圍第1項所述之化合物半導體材料，其中該薄膜電晶體元件包括一閘極、一源極、一汲極、一介電層、以及一基板。

7. 如申請專利範圍第6項所述之化合物半導體材料，其中該薄膜電晶體元件之該閘極、源極、或汲極之材料係為金屬、導電氧化物、或導電高分子。

10 8. 如申請專利範圍第6項所述之化合物半導體材料，其中該薄膜電晶體元件之該介電層之介電常數大於3。

9. 如申請專利範圍第6項所述之化合物半導體材料，其中該薄膜電晶體元件之該介電層之材料係為無機材料、高分子材料、或高介電常數(high K)材料。

15 10. 如申請專利範圍第6項所述之化合物半導體材料，其中該薄膜電晶體元件之該基板為矽晶圓、玻璃、石英、塑膠基板、或可撓式基板。

11. 一種製作薄膜電晶體元件主動層方法，其步驟包括：

20 (a)提供一化合物半導體材料之前驅物溶液；

(b)將該前驅物溶液圖樣化於一薄膜電晶體元件，以形成一主動層；以及



(c)加熱該薄膜電晶體元件主動層之該前驅物溶液，以使該溶液中之溶劑揮發，生成一摻雜一摻雜物之II-VI族化合物組成；

其中該摻雜物係選自一由鹼土金屬(alkaline-earth metal)、III A元素、IV A元素、V A元素、VI A元素、與過渡金屬(Transitional Metal)組成之群組，且該摻雜物在該化合物半導體材料中所佔之莫耳百分比為0.1%至30%之間。

12. 如申請專利範圍第11項所述之方法，其中該II-VI族化合物為ZnO、ZnS、ZnSe、CdSe、CdS、HgS、MnS、SnS、PbS、CoS、NiS、或CdTe。

13. 如申請專利範圍第11項所述之方法，其中該鹼土金屬為Mg、Ca、Sr、或Ba；該過渡金屬為Sc、Ti、V、Cr、Mn、Fe、Co、Ni、Cu、Zn、Y、Zr、Nb、Mo、Tc、Ru、Rh、Pd、Ag、Cd、La、Hf、Ta、W、Re、Os、Ir、Pt、或Au；該III A元素為B、Al、Ga、In、或Tl；該IV A元素為Si、Ge、Sn、或Pb；該V A元素為N、P、As、Sb、或Bi；且該VI A元素為S、Se、Te、或Po。

14. 如申請專利範圍第11項所述之方法，其中於步驟(a)中，該溶液製程為化學浴沈積法(Chemical Bath Deposition)、光化學沈積法(Photochemical Deposition)、或溶膠-凝膠法(Sol-gel process)。

15. 如申請專利範圍第11項所述之方法，其中於步驟(b)中薄膜電晶體元件之主動層之圖樣化係利用噴墨印刷法(Inkjet Printing)、奈米壓印法(Nanoimprinting)、微接觸印

刷法 (Micro Contact Prining)、或旋轉塗佈-黃光微影法形成。

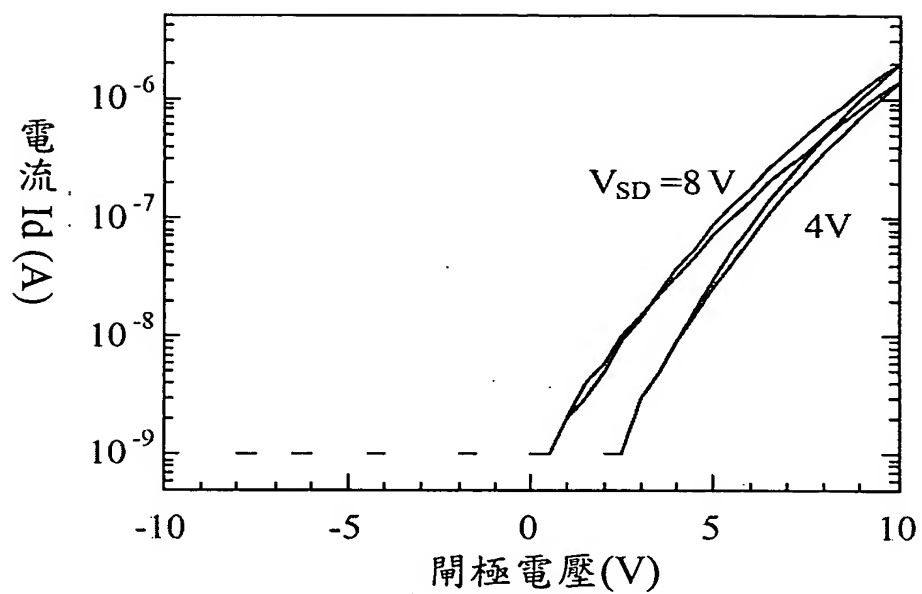


圖 1

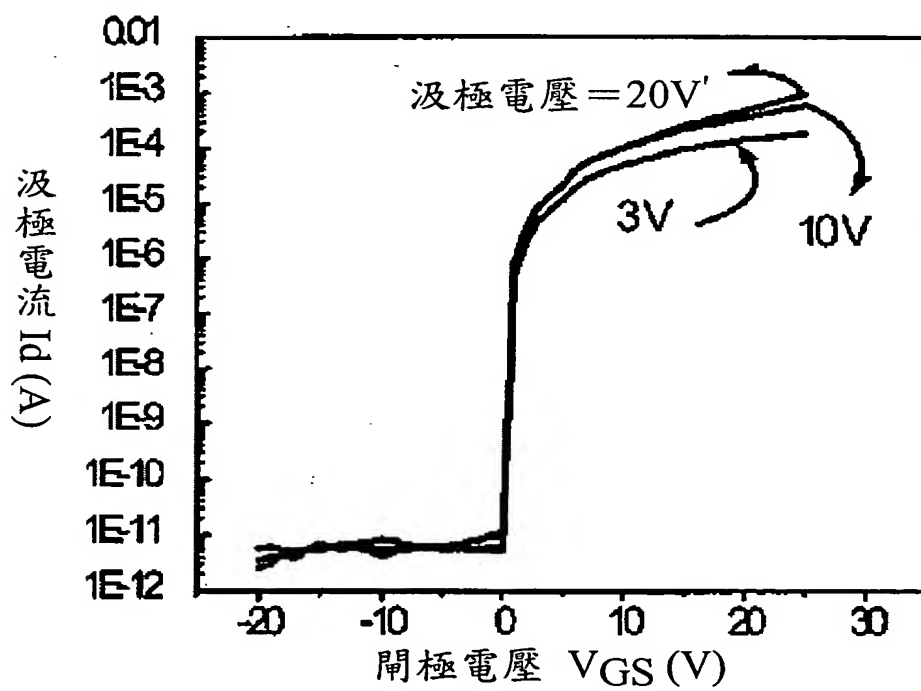


圖 2

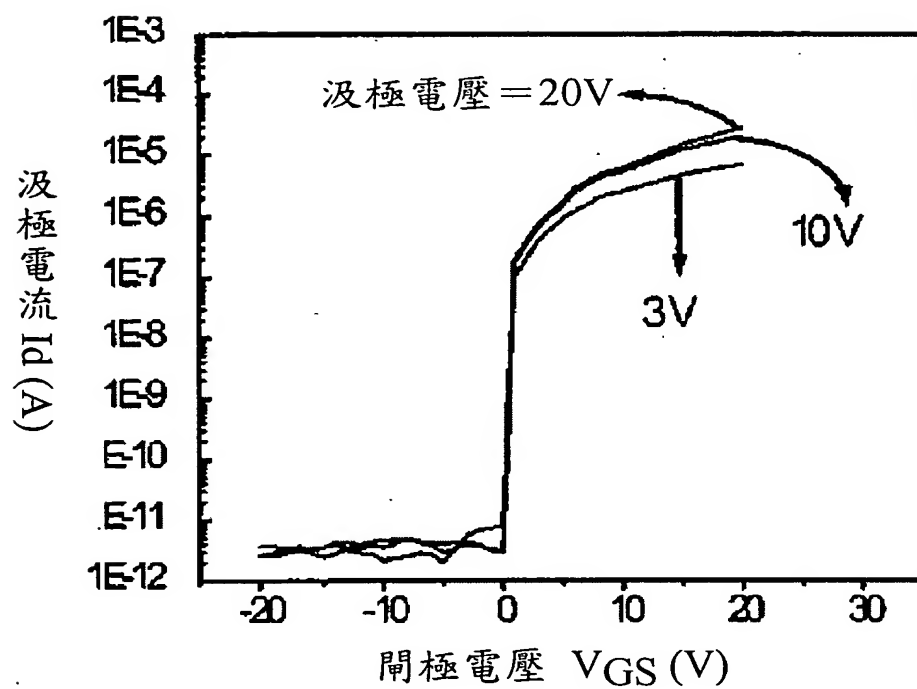


圖 3

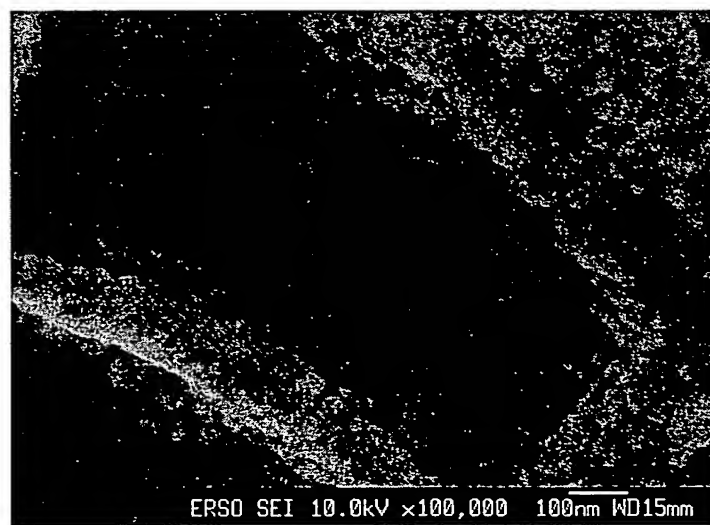


圖 4



圖5A

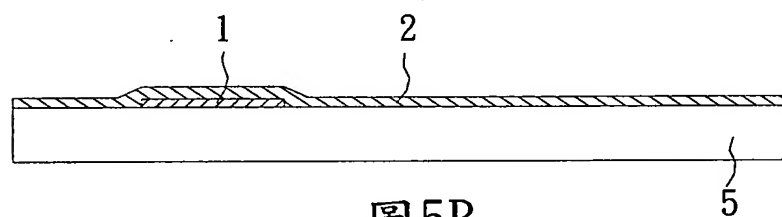


圖5B

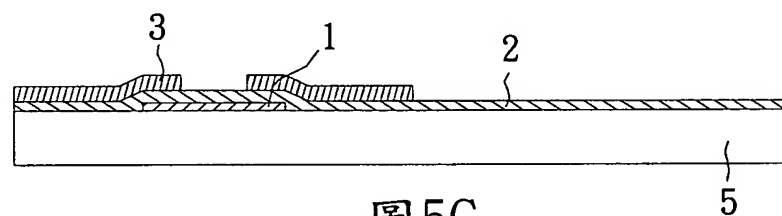


圖5C

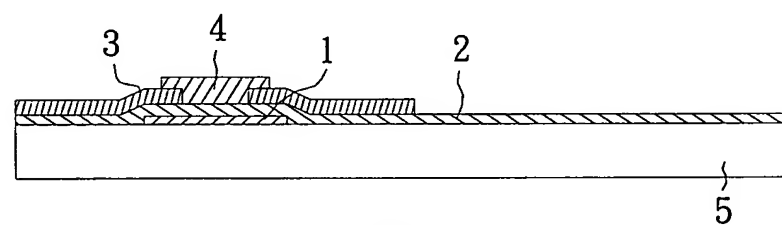


圖5D

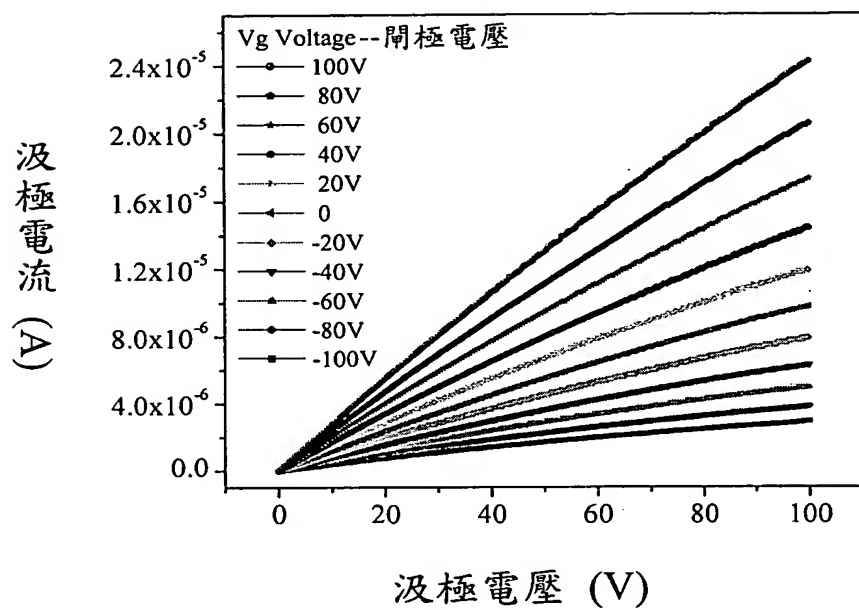


圖 6A

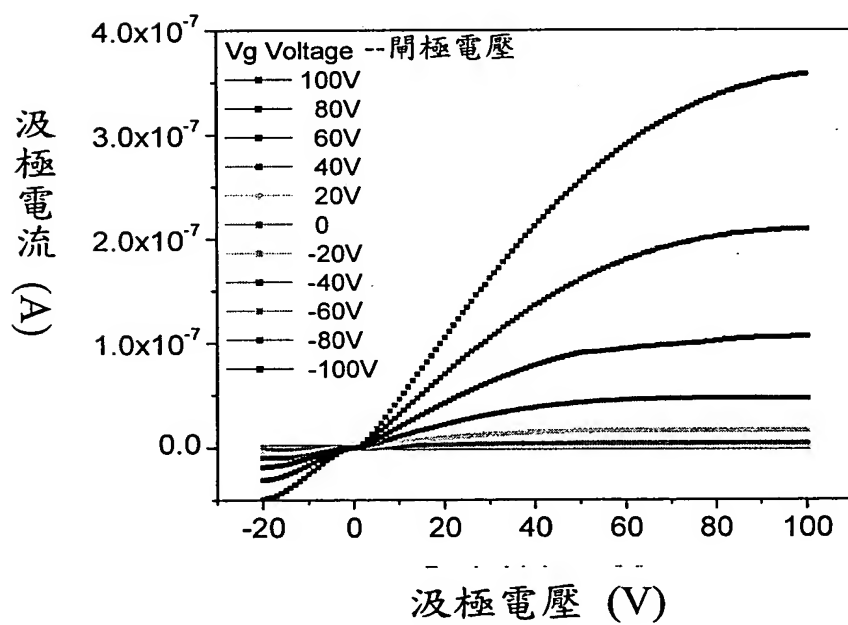


圖 6B

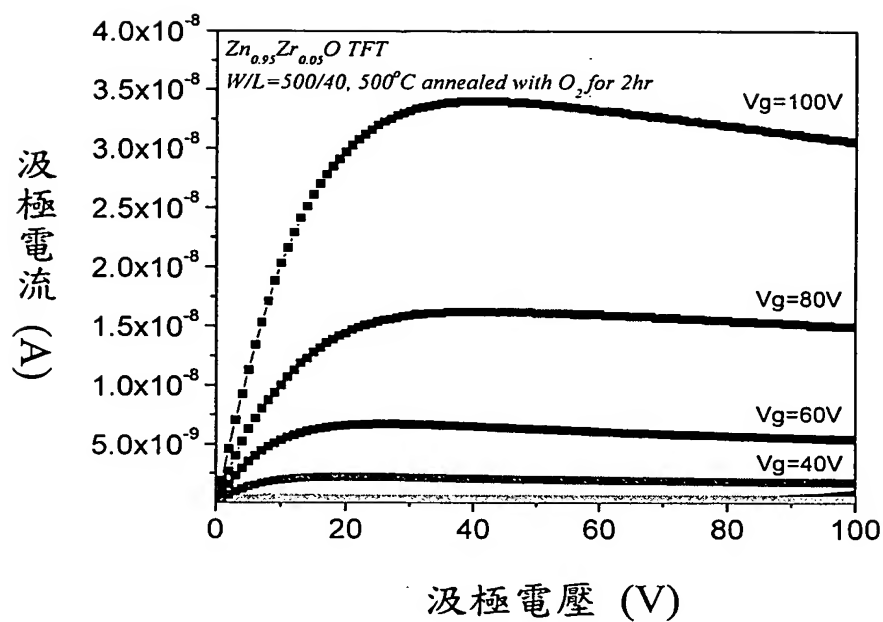


圖 7

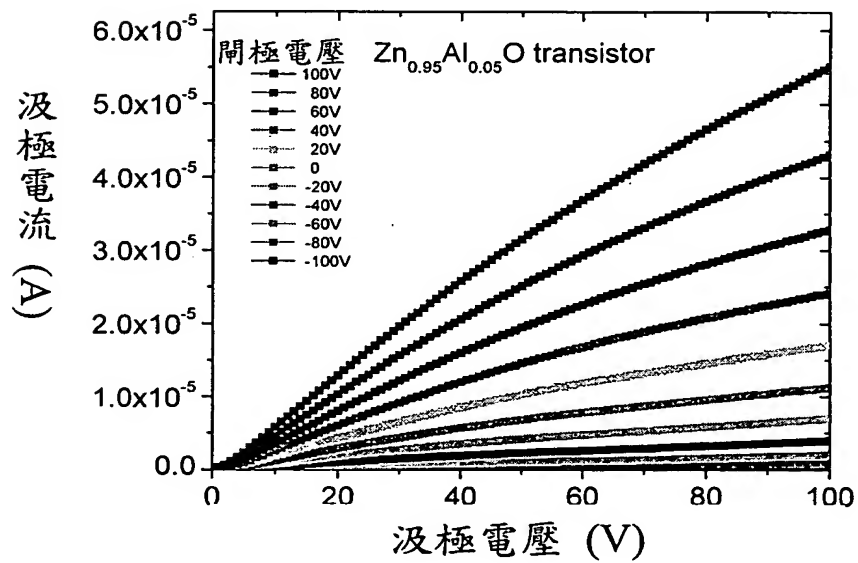


圖 8